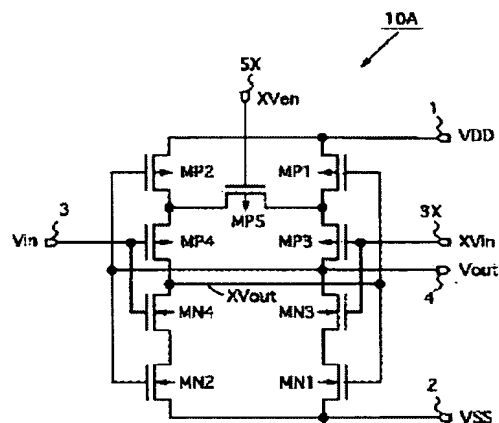
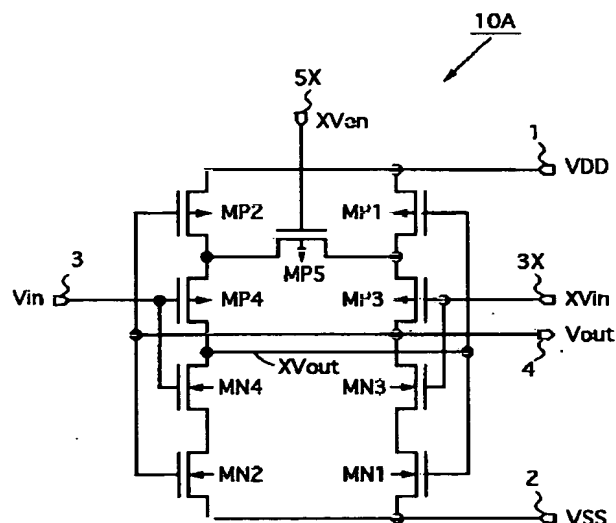


SENSE AMPLIFIER**Patent number:** JP2001332091**Publication date:** 2001-11-30**Inventor:** AKITA SHINICHI; KUBOTA OSAMU**Applicant:** JAPAN RADIO CO LTD**Classification:****- international:** G11C11/416; G11C11/419; H03K19/0185; G11C11/414; G11C11/419; H03K19/0185; (IPC1-7): G11C11/419; G11C11/416; H03K19/0185**- european:****Application number:** JP20000152092 20000523**Priority number(s):** JP20000152092 20000523[Report a data error here](#)**Abstract of JP2001332091**

PROBLEM TO BE SOLVED: To improve a high speed response characteristic of a sense amplifier, to reduce current consumption, and to provide a latch function. **SOLUTION:** MP1 and MN1 are connected to the outside of a first inverter of an MP3 and an MN3 in which a gate is connected to an input terminal 3X and a drain is connected to an output terminal 4, MP2 and MN2 are connected to the outside of a second inverter of an MP4 and an MN4 in which a gate is connected to an input terminal 3, an output of the first inverter is connected to gates of the MP2 and the MN2, an output of the second inverter is connected to gates of the MP1 and the MN1, and an MP5 for enabling is connected between the drains of MP1 and the MP2.



Data supplied from the esp@cenet database - Worldwide



【特許請求の範囲】

【請求項1】第1の入力端子に入力側が接続される第1のCMOSインバータと、第2の入力端子に入力側が接続される第2のCMOSインバータと、前記第1のCMOSインバータと高電位電源端子との間に接続される第1のPMOSTランジスタと、前記第2のCMOSインバータと前記高電位電源端子との間に接続される第2のPMOSTランジスタと、前記第1のCMOSインバータと低電位電源端子との間に接続される第1のNMOSTランジスタと、前記第2のCMOSインバータと前記低電位電源端子との間に接続される第2のNMOSTランジスタと、前記第1のPMOSTランジスタのドレインと前記第2のPMOSTランジスタのドレインとの間に接続されゲートがイネーブル端子に接続されるイネーブル用のPMOSTランジスタとを具備し、前記第1のPMOSTランジスタと前記第1のNMOSTランジスタのゲートを前記第2のCMOSインバータの出力側に接続し、前記第2のPMOSTランジスタと前記第2のNMOSTランジスタのゲートを前記第1のCMOSインバータの出力側に接続し、前記第1のCMOSインバータの前記出力側又は前記第2のCMOSインバータの前記出力側を出力端子に接続した、ことを特徴とするセンスアンプ。

【請求項2】第1の入力端子に入力側が接続される第1のCMOSインバータと、第2の入力端子に入力側が接続される第2のCMOSインバータと、前記第1のCMOSインバータと高電位電源端子との間に接続される第1のPMOSTランジスタと、前記第2のCMOSインバータと前記高電位電源端子との間に接続される第2のPMOSTランジスタと、前記第1のCMOSインバータと低電位電源端子との間に接続される第1のNMOSTランジスタと、前記第2のCMOSインバータと前記低電位電源端子との間に接続される第2のNMOSTランジスタと、前記第1のNMOSTランジスタのドレインと前記第2のNMOSTランジスタのドレインとの間に接続されゲートがイネーブル端子に接続されるイネーブル用のNMOSTランジスタとを具備し、前記第1のPMOSTランジスタと前記第1のNMOSTランジスタのゲートを前記第2のCMOSインバータの出力側に接続し、前記第2のPMOSTランジスタと前記第2のNMOSTランジスタのゲートを前記第1のCMOSインバータの出力側に接続し、前記第1のCMOSインバータの前記出力側又は前記第2のCMOSインバータの前記出力側を出力端子に接続した、ことを特徴とするセンスアンプ。

【請求項3】請求項1又は2において、前記第1のPMOSTランジスタと前記第1のCMOSインバータとの間に第1の抵抗を接続すると共に前記第2のPMOSTランジスタと前記第2のCMOSインバータとの間に第2の抵抗を接続し、

又は、前記第1のNMOSTランジスタと前記第1のCMOSインバータとの間に第1の抵抗を接続すると共に前記第2のNMOSTランジスタと前記第2のCMOSインバータとの間に第2の抵抗を接続したことを特徴とするセンスアンプ。

【請求項4】請求項1, 2, 又は3において、前記第1のPMOSTランジスタに並列に第1のキャパシタを接続すると共に前記第2のPMOSTランジスタに並列に第2のキャパシタを接続し、又は、前記第1のNMOSTランジスタに並列に第1のキャパシタを接続すると共に前記第2のNMOSTランジスタに並列に第2のキャパシタを接続したことを特徴とするセンスアンプ。

【請求項5】請求1, 2, 3, 又は4において、MOSTランジスタをバイポーラトランジスタに置換したことを特徴とするセンスアンプ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、メモリのビット線に読み出された微少信号を増幅するセンスアンプに係り、特に高速化と低消費電力化の両者を図ったセンスアンプに関するものである。

【0002】

【従来の技術】近時のディジタル信号処理を行うプロセッサでは、内部で32ビット、64ビット等のビット幅のメモリが使用されており、画像処理装置等では128ビット幅のメモリも採用されている。このように、メモリのビット幅の増大は更にすすむ傾向にあり、1ビット当たり1個設けられるセンスアンプで消費される合計消費電流が大きくなる傾向にある。

【0003】図11は従来のセンスアンプ20を示す図である。このセンスアンプ20は差動増幅回路を利用したもので、最も広く使用されている。図11において、MP21、MP22はPMOSTランジスタ、MN21～MN23はNMOSTランジスタである。1は高電位電源VDDの端子、2は低電位電源VSSの端子、3は非反転入力端子、3Xは反転入力端子、4は出力端子、5はイネーブル端子である。なお、PMOSTランジスタのバックゲートはVDDの電源端子1に接続され、NMOSTランジスタのバックゲートはVSSの電源端子2に接続されている。以下に、この明細書で説明するトランジスタについても同様である。

【0004】このセンスアンプ20では、入力端子3、3Xに入力した電圧Vin、XVinの差信号を増幅した電圧Voutが出力端子4に出力するが、この動作はイネーブル端子5の電圧Venが「H」になっている間だけ行われる。読み取り信号をラッチする機能はないので、必ずラッチ回路が後段に用いられる。

【0005】図12はこのセンスアンプ20の動作のシミュレーション結果を示す波形図である。なお、このシ

ミュレーションは、図13に示すように、このセンスアンプ20の後段に増幅及び波形整形するためのインバータ30を接続して最終的な出力電圧 V_o を得、また消費電流をセンスアンプ20とインバータ30の合計値として評価できるようにした。消費電流の評価は、一般的に前段のセンスアンプの動作電流を絞ると後段のインバータの入力波形がなまって貫通電流が増大するので、両回路の合計で比較しないと本当の電流が見えないので、このようにする。

【0006】センスアンプ20は $V_{DD}=3.3V$ の場合において、入力電圧 V_{in} 、 XV_{in} が $2.2V\sim 0.9V$ に変化している。実際の装置ではもっと複雑な波形をしているが、ここではシミュレーションのため簡略化している。メモリから記憶データが読み出されると、入力電圧 V_{in} 、 XV_{in} の一方が低下し、その電位差が増幅されて取り出され、インバータ30で必要な振幅まで増幅されて出力電圧 V_o となる。

【0007】イネーブル端子5の電圧 V_{en} は、メモリにアドレスデータを与えるタイミングと同じタイミングで「H」となり、その期間だけセンスアンプ20が活性状態となり増幅動作を行うことで、ある程度の低消費電力化が図られている。

【0008】このセンスアンプ20の応答時間は、イネーブル端子5の電圧 V_{en} の立ち上がりからインバータ30の出力電圧 V_o が確定するまでの時間の最大値と定義すると、 1.3 nsec となっている。消費電流については、センスアンプ20の消費電流 I_{20} の平均が $21.6\mu A$ 、インバータ30の消費電流 I_{30} の平均が $6.8\mu A$ であるので、平均消費電流の合計は $28.4\mu A$ となっている。

【0009】図14は別の従来のセンスアンプ40を示す回路図である。図14において、MP41、MP42はPMOSTランジスタ、MN41、MN42はNMOSTランジスタである。

【0010】このセンスアンプ40は、1つの入力端子3Xのみであるので、大きな電圧を出力する比較的小容量のメモリに使用される。ここでも、イネーブル端子5の電圧 V_{en} が「H」のとき活性状態となり、信号増幅を行う。読み取り信号をラッチする機能はないので、必ずラッチ回路が後段に用いられる。

【0011】図15はこのセンスアンプ40の後段に図13に示したインバータ30を接続して行ったシミュレーション結果を示す波形図である。ここでも、図12に示したのと同様に、センスアンプ20の後段にインバータ30を接続してシミュレーションを行った。この場合の応答時間は 0.3 nsec 、センスアンプ40の電流 I_{40} とインバータ30の電流 I_{30} の平均消費電流の合計は $24\mu A$ となっている。

【0012】図16は別の従来例を示すレベルシフト回路（特開平9-148913）50を示す図である。このレベルシフト回路50はセンスアンプではないが2個

の相補信号を入力して増幅する回路であるのでここに述べる。図16において、MP51～MP56はPMOSTランジスタ、MN51～MN56はNMOSTランジスタである。

【0013】図17はこのレベルシフト回路50の後段に図13に示したインバータ30を接続して行ったシミュレーション結果を示す波形図である。入力電圧 V_{in} 、 XV_{in} が $0.9V\sim 2.3V$ のとき、出力電圧 V_{out} が $3.3V\sim 0V$ に増幅されている。レベルシフト回路50の電流 I_{50} とインバータ30の電流 I_{30} の平均電源電流の合計は $82.3\mu A$ となっている。応答時間はイネーブル端子がないので図1、図14の回路と同等に算出できないが、入力電圧 V_{in} が V_{DD} の1/2の電位を通過する点から出力電圧 V_o が確定するまでの時間から計測すると、 1.6 nsec となる。

【0014】

【発明が解決しようとする課題】以上のように、図11、図14のセンスアンプ20、40及び図16のレベルシフト回路50では、応答時間を $0.3\text{ nsec}\sim 1.3\text{ nsec}$ 程度と比較的小さくできるが、消費電流が $24\mu A\sim 82.3\mu A$ と大きくなるという問題があった。

【0015】また、これらの回路を実際に使用する場合には、別にラッチ回路60を必要とするので、図11のセンスアンプ20や図16のレベルシフト回路50を使用するときは図18(a)に示すような回路に、図14のセンスアンプ40を使用するときは図18(b)に示すような回路構成となる。

【0016】ここで、ラッチ回路60はNAND回路61～64で構成され個々に4個のランジスタが必要であるのでラッチ回路60全体で16個のランジスタが必要となる。また、インバータ30では2個のランジスタが必要となる。

【0017】よって、図11のセンスアンプ20を使用する場合では合計で23個のランジスタが、また図14のセンスアンプ40を使用する場合では22個のランジスタが必要となる。また、図16のレベルシフト回路50を使用する場合では30個のランジスタが必要になる。このように、従来のセンスアンプ等ではラッチ回路を別に必要とするので素子数が増大するという問題もあった。

【0018】本発明は以上のような点に鑑みてなされたもので、その目的は、応答時間及び消費電流の両者を小さくできるようにし、さらにラッチ回路を不要としたセンスアンプを提供することである。

【0019】

【課題を解決するための手段】上記課題を解決するための第1の発明は、第1の入力端子に入力側が接続される第1のCMOSインバータと、第2の入力端子に入力側が接続される第2のCMOSインバータと、前記第1のCMOSインバータと高電位電源端子との間に接続され

る第1のPMOSTランジスタと、前記第2のCMOSインバータと前記高電位電源端子との間に接続される第2のPMOSTランジスタと、前記第1のCMOSインバータと低電位電源端子との間に接続される第1のNMOSTランジスタと、前記第2のCMOSインバータと前記低電位電源端子との間に接続される第2のNMOSTランジスタと、前記第1のPMOSTランジスタのドレインと前記第2のPMOSTランジスタのドレインとの間に接続されゲートがイネーブル端子に接続されるイネーブル用のPMOSTランジスタとを具備し、前記第1のPMOSTランジスタと前記第1のNMOSTランジスタのゲートを前記第2のCMOSインバータの出力側に接続し、前記第2のPMOSTランジスタと前記第2のNMOSTランジスタのゲートを前記第1のCMOSインバータの出力側に接続し、前記第1のCMOSインバータの前記出力側又は前記第2のCMOSインバータの前記出力側を出力端子に接続して構成した。

【0020】第2の発明は、第1の入力端子に入力側が接続される第1のCMOSインバータと、第2の入力端子に入力側が接続される第2のCMOSインバータと、前記第1のCMOSインバータと高電位電源端子との間に接続される第1のPMOSTランジスタと、前記第2のCMOSインバータと前記高電位電源端子との間に接続される第2のPMOSTランジスタと、前記第1のCMOSインバータと低電位電源端子との間に接続される第1のNMOSTランジスタと、前記第2のCMOSインバータと前記低電位電源端子との間に接続される第2のNMOSTランジスタと、前記第1のNMOSTランジスタのドレインと前記第2のNMOSTランジスタのドレインとの間に接続されゲートがイネーブル端子に接続されるイネーブル用のNMOSTランジスタとを具備し、前記第1のPMOSTランジスタと前記第1のNMOSTランジスタのゲートを前記第2のCMOSインバータの出力側に接続し、前記第2のPMOSTランジスタと前記第2のNMOSTランジスタのゲートを前記第1のCMOSインバータの出力側に接続し、前記第1のCMOSインバータの前記出力側又は前記第2のCMOSインバータの前記出力側を出力端子に接続して構成した。

【0021】第3の発明は、第1又は第2の発明において、前記第1のPMOSTランジスタと前記第1のCMOSインバータとの間に第1の抵抗を接続すると共に前記第2のPMOSTランジスタと前記第2のCMOSインバータとの間に第2の抵抗を接続し、又は、前記第1のNMOSTランジスタと前記第1のCMOSインバータとの間に第1の抵抗を接続すると共に前記第2のNMOSTランジスタと前記第2のCMOSインバータとの間に第2の抵抗を接続して構成した。

【0022】第4の発明は、第1、第2、又は第3の発明において、前記第1のPMOSTランジスタに並列に

第1のキャパシタを接続すると共に前記第2のPMOSTランジスタに並列に第2のキャパシタを接続し、又は、前記第1のNMOSTランジスタに並列に第1のキャパシタを接続すると共に前記第2のNMOSTランジスタに並列に第2のキャパシタを接続して構成した。

【0023】第5の発明は、第1、第2、第3又は第4の発明において、MOSTランジスタをバイポーラトランジスタに置換して構成した。

【0024】

【発明の実施の形態】〔第1の実施形態〕図1は本発明の第1の実施形態のセンスアンプ10Aの回路図である。図1において、MP1～MP5はPMOSTランジスタ、MN1～MN4はNMOSTランジスタである。1は高電位電源VDDの端子、2は低電位電源VSSの端子、3は非反転入力端子、3Xは反転入力端子、4は出力端子、5Xはイネーブル端子であり、従来例で説明したものと同じである。

【0025】MP3とMN3は第1のCMOSインバータを構成し、ゲートが入力端子3Xに共通接続され、ドレインが出力端子4とMP2、MN2のゲートに共通接続されている。MP4とMN4は第2のCMOSインバータを構成し、ゲートが入力端子3に共通接続され、ドレインがMP1とMN1のゲートに共通接続されている。MP1はMP3のソースと高電位電源端子1との間に接続され、MP2はMP4のソースと高電位電源端子との間に接続され、MN1はMN3のソースと低電位電源端子2との間に接続され、MN2はMN4のソースと低電位電源端子2との間に接続されている。MP5はそのソースとドレインがMP1とMP2のドレイン間に接続され、ゲートがイネーブル端子5Xに接続されている。

【0026】さて、MP3とMN3からなる第1のCMOSインバータのしきい値電圧を V_{th3} とし、またMP4とMN4からなる第2のCMOSインバータのしきい値電圧を V_{th4} とする。

【0027】いま、イネーブル端子5Xの電圧 X_{Ven} が「L」になると、MP5がオンするので、MP1、MP2のドレイン間が短絡される。このMP1、MP2のゲートは互いに逆極性のインバータ(MP4とMN4、MP3とMN3)のドレインに接続されているので、そのMP1、MP2はいずれかがオン状態にある。よって、MP5がオンすると、MP1、MP2のドレインは共にほぼVDDの電圧になる。

【0028】まず、 $V_{in} > V_{th4}$ 、 $X_{Vin} < V_{th3}$ のときは、MP3、MN4がオン、MP4、MN3がオフとなり、出力端子4の出力電圧 V_{out} がVDDに引き上げられるので、MN2がオンする。また、MP4、MN4の共通ドレインの電圧 X_{Vout} はVSSに引き下げられるので、MN1がオフする。そして、この状態で安定する。このときMP1とMP2は反対に動作するよう制御

されるが、MP5がオンしているので、MP4、MP3のソースはVDDに固定されたままである。

【0029】次に、上記と反対に、 $V_{in} < V_{th4}$ 、 $XV_{in} > V_{th3}$ のときは、MP3、MN4がオフ、MP4、MN3がオンとなり、出力端子4の出力電圧 V_{out} がVSSに引き下げられるので、MN2がオフする。また、MP4、MN4の共通ドレインの電圧 XV_{out} はVDDに引き上げられるので、MN1がオンする。そして、この状態で安定する。このときMP1とMP2は反対に動作するよう制御されるが、MP5がオンしているので、MP3、MP4のソースはVDDに固定されたままである。

【0030】一方、イネーブル端子5Xの電圧 XV_{en} が「H」になると、MP5がオフするので、MP1、MP2のドレイン間は切り離される。しかし、この切り離しまでの間にMP1とMN1、MP2とMN2がオンとオフ、オフとオン、又はオフとオン、オンとオフの状態に安定していれば、出力端子4の電圧 V_{out} は入力端子3、3Xの電圧 V_{in} 、 XV_{in} の状態如何にかかわらず、安定である。つまり、このセンスアンプ10Aは、信号増幅作用の他にデータラッチ機能を兼ね備えている。

【0031】図2はこのセンスアンプ10Aのシミュレーション結果を示す波形図で、イネーブル制御電圧 XV_{en} を入力電圧 V_{in} の周期の1/2の周期で「L」に変化させたときのものである。図3もシミュレーション結果を示す波形図で、イネーブル制御電圧 XV_{en} を入力電圧 V_{in} の周期の2倍の周期で「L」に変化させたものであり、ラッチ機能が発揮されていることが分かる。これら図2、図3では、図13で示したように、増幅と波形整形用のインバータ30をセンスアンプ10Aの後段に接続して測定した。 V_o はそのインバータ30の出力電圧、 I_{10} はセンスアンプ10Aの消費電流、 I_{30} はインバータ30の消費電流、VDD2はインバータ30の電源電圧、ISSは電源端子2に流れる電流である。

【0032】図2から明らかなように、 XV_{en} の立ち下がりから V_o の立ち下がりまでの時間である応答時間は1.5 nsecで、前述した従来例で説明した0.3nsec~1.3 nsec等と同等である。また、平均消費電流はセンスアンプ10Aが12.0 μ A、インバータ30が2.7 μ Aであるから合計で14.7 μ Aであり、前述した従来例で説明した24 μ A~82.3 μ Aと比べると、大きく削減されている。

【0033】本実施形態のセンスアンプ10Aを使用するときは、図10(a)に示すように後段にインバータ30を接続したときでも、必要なトランジスタの数は、センスアンプ10Aで9個、インバータ30で2個の合計11個と、図18で説明した従来例に比べて大幅に少なくなる。なお、このセンスアンプ10Aは、図10(b)に示すように接続してバスレシーバとしても使用できる。 V_{ref} は参照電圧、30Aはイネーブル機能付きの

インバータである。

【0034】〔第2の実施形態〕図4は第2の実施形態のセンスアンプ10Bを示す図である。図1と異なるところは、図1のMP5とイネーブル端子5Xを削除し、MN1とMN2のドレイン間にMN5を接続し、そのMN5のゲートをイネーブル端子5の制御電圧 V_{en} で制御するようにした点である。

【0035】ここでは、イネーブル制御電圧 V_{en} が「H」のとき、MN5がオンしてMN1とMN2のドレイン間を短絡し、両ドレインをほぼVSSに固定し、入力端子3、3Xの入力電圧 V_{in} 、 XV_{in} を受け付けて増幅動作を行う。イネーブル制御電圧 V_{en} が「L」のときは、MN5がオフしてMN1とMN2のドレイン間が切り離され、その時の出力端子4の出力電圧 V_{out} をラッチする。

【0036】〔第3の実施形態〕図5は第3の実施形態のセンスアンプ10Cを示す図である。このセンスアンプ10Cは、図1のセンスアンプ10AにおけるMP5とイネーブル端子5X、図2のセンスアンプ10BにおけるMN5とイネーブル端子5をいずれも接続した構成としたものである。

【0037】ここでは、イネーブル制御電圧 V_{en} を「H」、イネーブル制御電圧 XV_{en} を「L」にすることにより増幅動作が行われる。このときの回路状態はMP1、MP2、MN1、MN2のソース・ドレイン間が短絡された状態と等価であり、応答速度がより速くなる。

【0038】一方、イネーブル制御電圧 V_{en} を「L」、イネーブル制御電圧 XV_{en} を「H」にすることにより、その時の出力端子4の出力電圧 V_{out} をラッチする。

【0039】〔第4の実施形態〕図6は第4の実施形態のセンスアンプ10Dを示す図である。このセンスアンプ10Dは、図1におけるセンスアンプ10Aにおいて、MN1、MN2と低電位電源端子2との間に更にMN6、MN7を挿入接続し、そのMN6、MN7のゲートを制御端子6に接続したものである。

【0040】このセンスアンプ10Dでは、イネーブル端子5Xの制御電圧 XV_{en} を「L」に、制御端子6の制御電圧 V_{c1} を「H」にすることにより、増幅動作が行われる。このとき、制御電圧 V_{c1} のレベルを制御することにより消費電流を削減させることができる。

【0041】一方、制御電圧 XV_{en} を「H」、制御電圧 V_{c1} を「L」にすることにより、その時の出力端子4の出力電圧 V_{out} をラッチする。

【0042】〔第5の実施形態〕図7は第5の実施形態のセンスアンプ10Eを示す図である。このセンスアンプ10Eは、図6に示したセンスアンプ10DのMN1、MN2に更にそれぞれ並列にMN8、MN9を接続して、それらのゲートを制御端子7に接続したものである。

【0043】ここでは、制御端子7の制御電圧 V_{c2} を

「H」にすることによりMN8, MN9がオンするので、増幅動作時の動作電流が大きくなり、応答速度を大きくすることができる。

【0044】[第6の実施形態] 図8は第6の実施形態のセンスアンプ10Fを示す図である。このセンスアンプ10Fは、図1に示したセンスアンプ10AのMN1, MN3の間とMN2, MN4の間にそれぞれ抵抗R1, R2 ($R1 = R2$) を接続したものである。

【0045】このセンスアンプ10Fでは、抵抗R1, R2によってMP3とMN3からなる第1のCMOSインバータ、MP4とMN4からなる第2のCMOSインバータのスイッチング動作時の貫通電流を制限することができる。なお、抵抗R1はMP1とMP3の間に、抵抗R2はMP2とMP4の間にそれぞれ挿入接続しても良い。

【0046】[第7の実施形態] 図9は第7の実施形態のセンスアンプ10Gを示す図である。このセンスアンプ10Gは、図1に示したセンスアンプ10AのMN1, MN2に並列にそれぞれキャパシタC1, C2 ($C1 = C2$) を接続したものである。

【0047】このセンスアンプ10Gでは、キャパシタC1, C2によってMN1, MN2のドレインの電位を安定化させ雑音を低減することができる。なお、キャパシタC1はMP1に並列に、キャパシタC2はMP2に並列にそれぞれ接続しても良い。

【0048】[その他の実施形態] なお、以上はMOSトランジスタを使用して回路を構成した場合について説明したが、バイポーラトランジスタを使用することもできる。このときは、MOSトランジスタのゲートをバイポーラトランジスタのベースに、ドレインをコレクタに、ソースをエミッタにそれぞれ対応させる。

【0049】

【発明の効果】以上から本発明のセンスアンプによれば、応答速度を低下させることなく、消費電流を削減することができ、またラッチ機能を有するのでラッチ回路を必要とせず、メモリへの組み込み時の素子数が少なく済むという利点がある。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態のセンスアンプの回

路図である。

【図2】 図1のセンスアンプにイネーブル信号を入力信号の1/2の周期で入力させたときのシミュレーション波形図である。

【図3】 図1のセンスアンプにイネーブル信号を入力信号の2倍の周期で入力させたときのシミュレーション波形図である。

【図4】 本発明の第2の実施形態のセンスアンプの回路図である。

【図5】 本発明の第3の実施形態のセンスアンプの回路図である。

【図6】 本発明の第4の実施形態のセンスアンプの回路図である。

【図7】 本発明の第5の実施形態のセンスアンプの回路図である。

【図8】 本発明の第6の実施形態のセンスアンプの回路図である。

【図9】 本発明の第7の実施形態のセンスアンプの回路図である。

【図10】 (a)、(b)は第1の形態のセンスアンプの使用例を示す回路図である。

【図11】 従来のセンスアンプの回路図である。

【図12】 図11のセンスアンプのシミュレーション波形図である。

【図13】 図11のセンスアンプのシミュレーションのための回路図である。

【図14】 従来の別のセンスアンプの回路図である。

【図15】 図14のセンスアンプのシミュレーション波形図である。

【図16】 従来のレベルシフト回路の回路図である。

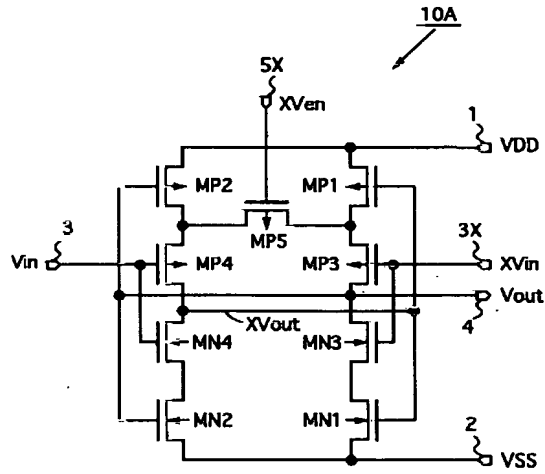
【図17】 図16のセンスアンプのシミュレーション波形図である。

【図18】 (a)は図11, 図14のセンスアンプの使用例を示す回路図、(b)は図16のレベルシフト回路の使用例を示す回路図である。

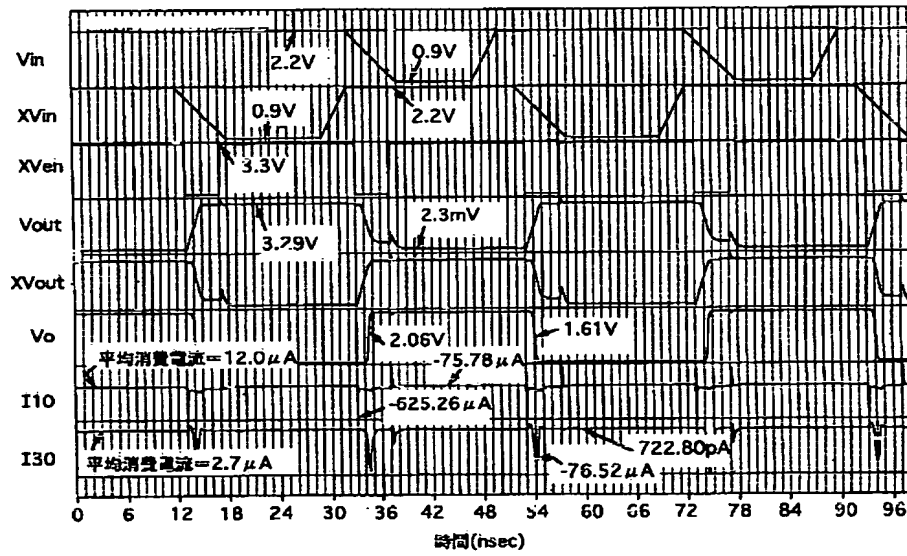
【符号の説明】

10A, 10B, 10C, 10D, 10E, 10F, 10G: センスアンプ。

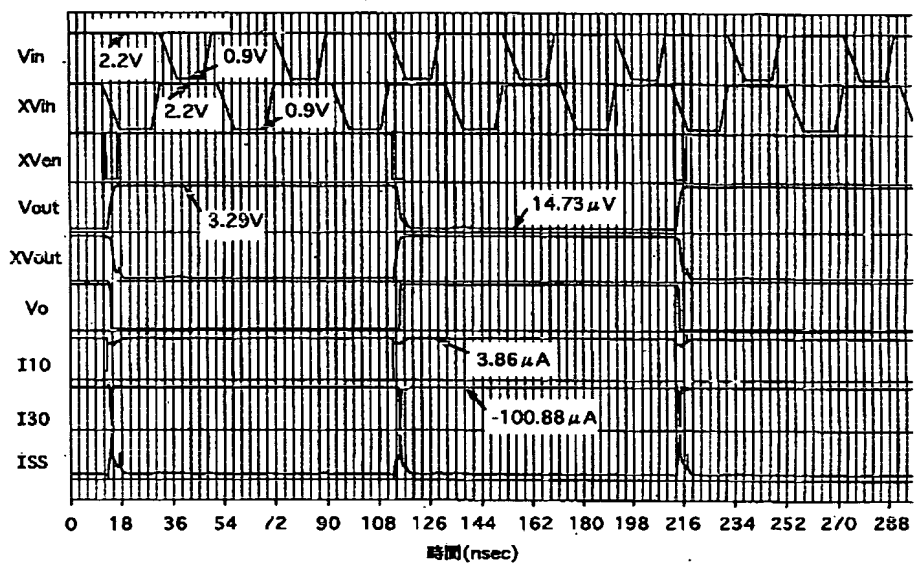
【図1】



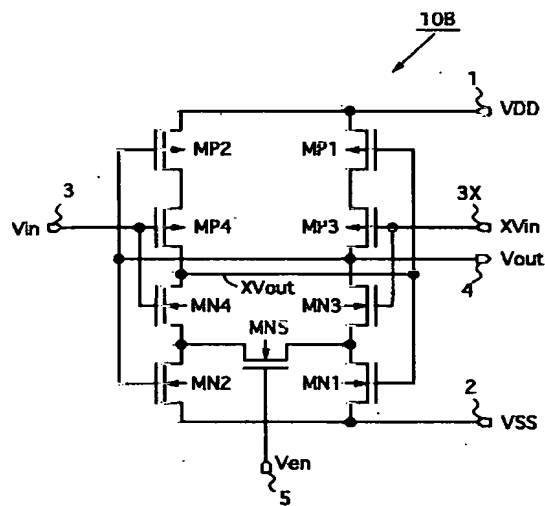
【図2】



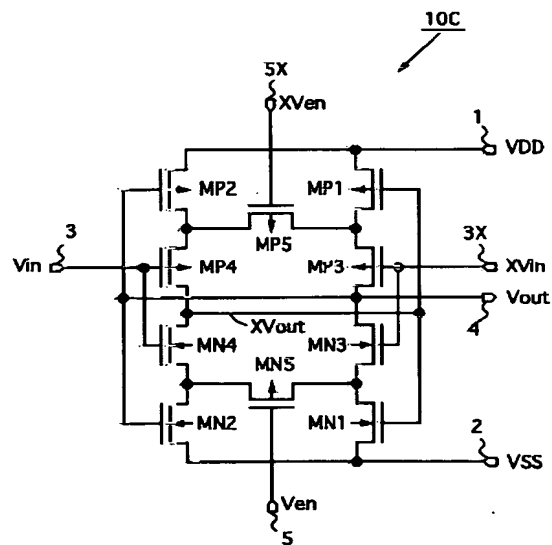
【図3】



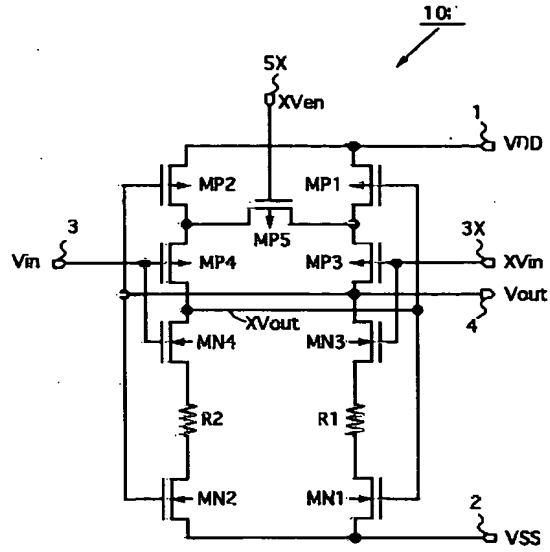
【図4】



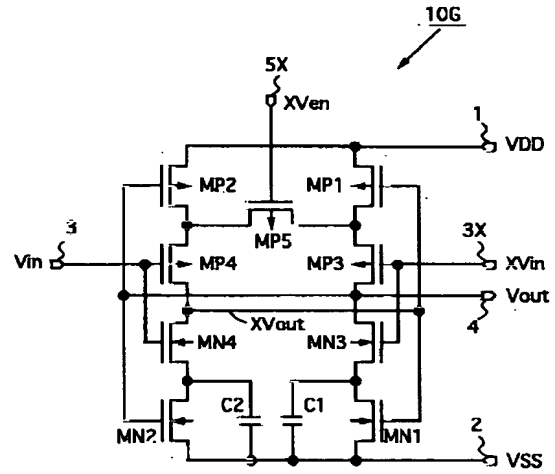
【図5】



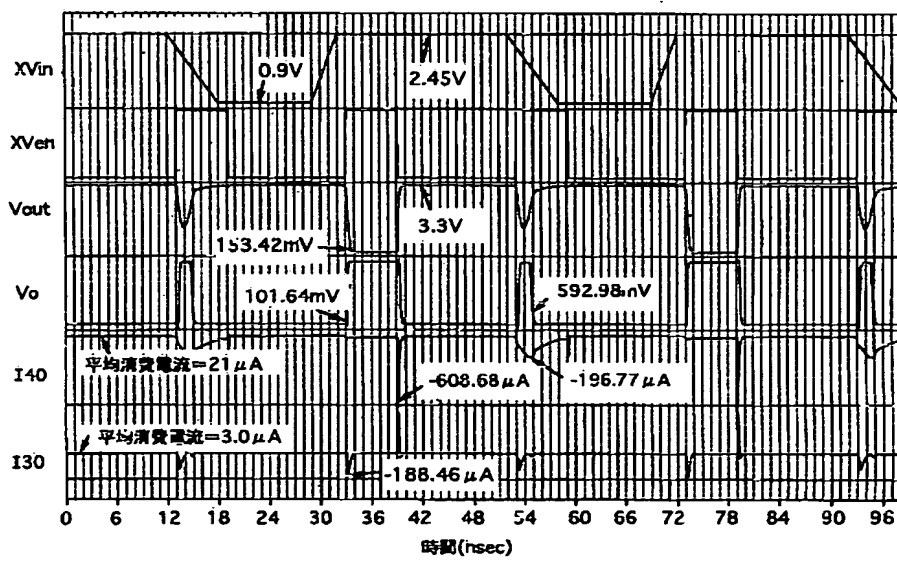
【圖8】



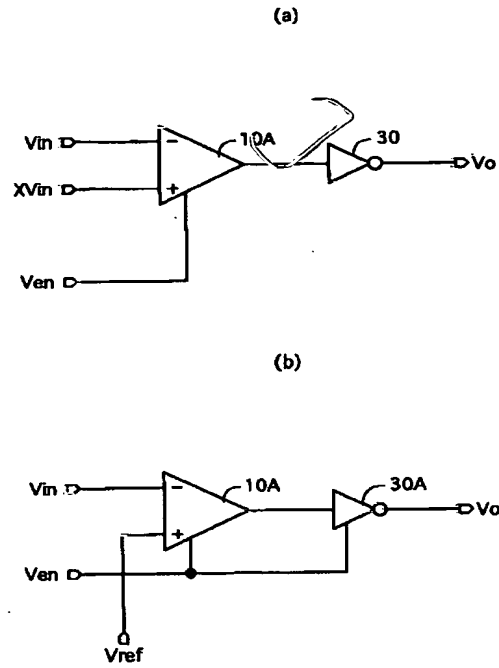
【圖9】



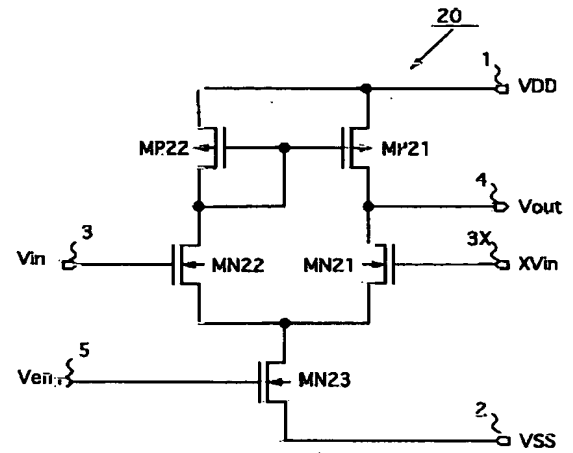
【圖15】



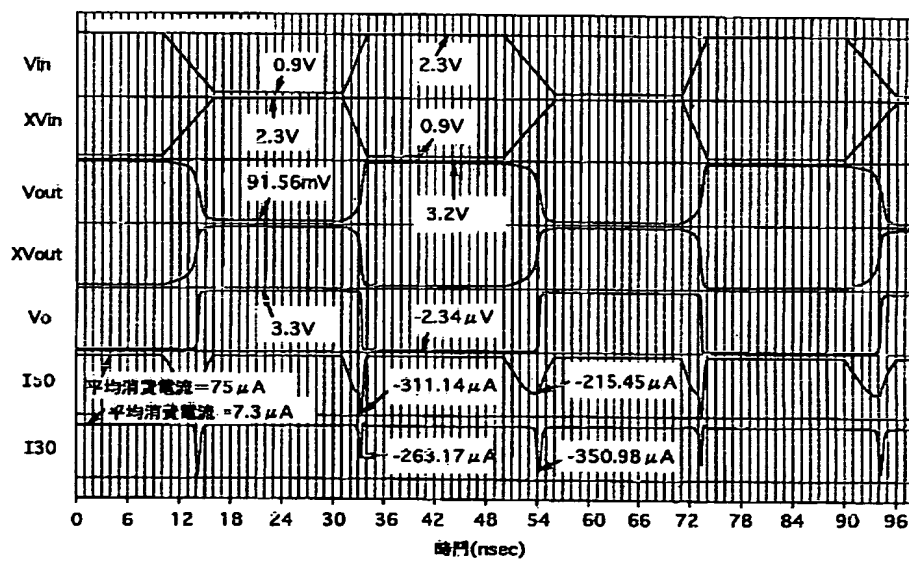
【圖10】



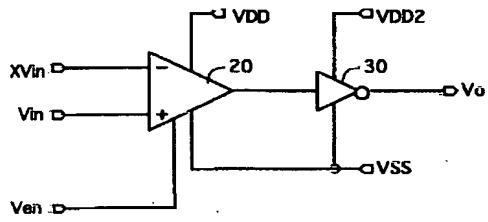
【圖11】



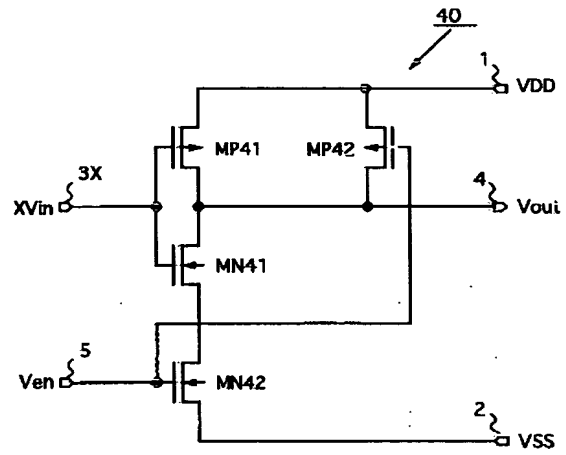
【圖17】



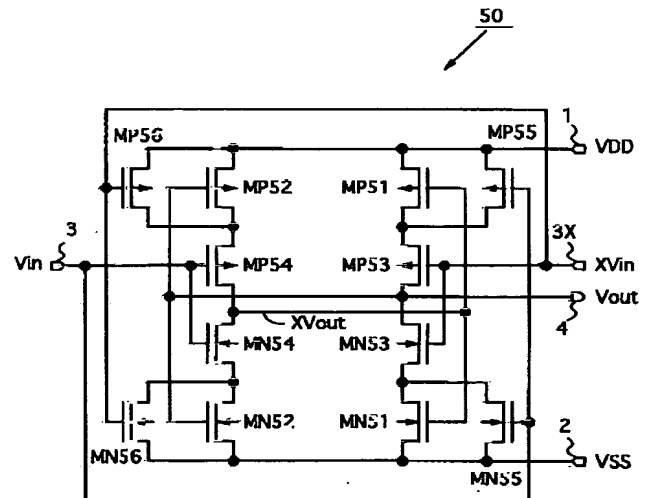
【図13】



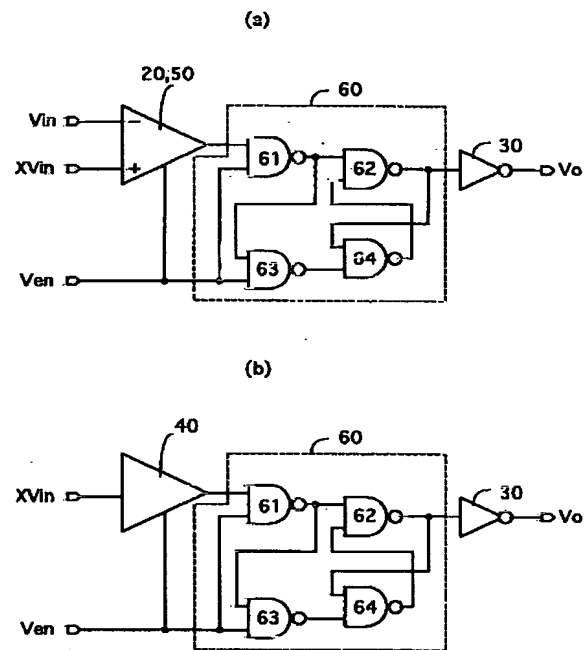
【図14】



【図16】



【図18】



フロントページの続き

Fターム(参考) 5B015 HH01 JJ03 JJ04 JJ21 KB12
KB22 QQ10 QQ11
5J056 AA11 BB17 BB52 CC21 DD13
DD28 EE07 FF07 FF08 GG09
KK01